

内容の要旨

報告番号	甲 第 3554 号	氏 名	戸井 崇雄
主論文題目： Performance and area optimization methods in compiler for a dynamically reconfigurable processor (動的再構成プロセッサ向けコンパイラにおける性能と面積の最適化)			
<p>本論文は限定された面積の中で最大性能を発揮するための動的再構成プロセッサ (DRP) 向けコンパイラにおける最適化手法を示す。いくつかの最適化手法は、DRP を搭載したプロ向けビデオカメラ、デジタルテレビ送信機、デジタルスチルカメラなどの幅広い製品において実用化されている。DRP のアーキテクチャでは、多数のプロセッシングエレメント (PE) と自由に接続できるプログラマブル配線からデータパスが構成される。「コンテキスト」と呼ぶこのデータパスを、状態遷移コントローラが動的に切り替えて動作することにより、並列化しやすい部分と逐次的な部分の両方を併せ持つ多くのアプリケーションを時空間上で効率的に動かすことができる。このアーキテクチャの長所と短所についてまとめた上で、C 記述からのコンパイルフローについて述べる。マイクロプロセッサ向けのコンパイラとは異なり、このフローでは、動作合成、テクノロジーマッパー、そして配置配線という順番で合成する。特に動作合成は C 記述から高い並列性を持つデータパスと状態遷移マシンを合成する要の部分となる。</p> <p>次に、動作合成における DRP 向けの 3 つの新しい最適化手法とその実験結果を示す。一番目は、複数の制御ステップをコンテキストにまとめて PE の使用効率を高める。二番目は、DRP が持つ時空間的な効率性を生かす、ループをパイプライン化するモジュロスケジューリングについて述べる。三番目は、指定した動作周波数で動かすためのスケジューリング方法について述べる。特に配線スイッチが遅い DRP の短所を逆に活用する。JPEG ベースの画像復号化処理を例として 3 つの最適化方法を確認した。まずコンテキストの使用数が半分以下になり、さらに演算器の使用効率は 2.5 倍以上に向上した。またパイプライン化によって、PE 数は 2.2 倍の増加に対して、3.6 倍のスループット上の性能向上を確認した。高い遅延制御性により、動作周波数を短期間に最大化した。</p> <p>最後に、配線混雑を考慮した動作合成から配置配線までの 2 つの反復合成手法を示す。PE を接続するプログラマブル配線は、複雑なデータパスを構成できる反面、配線の混雑時に遅延が伸びる。そこで一番目は、各コンテキストの配線遅延を動作合成にフィードバックして混雑を分散させる。遅延制約を越えるアプリケーションに適用したところ、クリティカルパス遅延は約 21% 短縮した。二番目の手法は、配線の混雑度を考慮して配線遅延を推定して、反復収束までの時間を約 1/3 に短縮する。その結果、遅延短縮効果は平均 17% であり、一番目の手法と比べて 4% の増加で済んだ。</p>			

論文審査の要旨

報告番号	甲 第 3554 号	氏 名	戸井 崇雄
論文審査担当者：	主査	慶應義塾大学教授	工学博士 天野 英晴
	副査	慶應義塾大学教授	工学博士 山中 直明
		慶應義塾大学准教授	工学博士 斎藤 博昭
		慶應義塾大学准教授	博士(工学) 高田 眞吾
<p>学士(工学)、修士(工学) 戸井崇雄 君の学位請求論文は、「Performance and area optimization methods in compiler for a dynamically reconfigurable processor (動的再構成プロセッサ向けコンパイラにおける性能と面積の最適化)」と題し、7章から成る。</p> <p>動的再構成プロセッサは、多数の PE(Processing Element)のレイから構成され、その機能と接続、すなわちハードウェアコンテキストを高速に切り換えることができ、低消費電力、低コスト、柔軟性に優れたアクセラレータとして注目されている。しかし、他の方式のアクセラレータに比べてプログラミング環境が十分でない点があり、しばしば製品の失敗の原因になっている。本論文では、プログラミング環境のもっとも重要な要素であるコンパイラに着目し、動的再構成プロセッサ独特の性質を利用した最適化手法を提案し、実際のコンパイラに適用してその効果を評価している。</p> <p>第1章で背景および全体の構成を述べ、第2章では様々な動的再構成プロセッサとそのコンパイラについて調査し、第3章では、本論文の対象に選んだルネサスエレクトロニクス社のDRPのアーキテクチャを紹介している。第4章ではDRP用のコンパイラの全体の流れについて説明し、一般的なコンピュータ用のコンパイラと、FPGA(Field Programmable Gate Array)開発用のCADツールの中間的な性格を持つ点を明らかにしている。</p> <p>第5章および第6章が本論文の主題である。第5章では、コンパイラの早い段階である高位合成時における最適化手法を3つ提案している。(1)複数の実行ステップを一つのハードウェアコンテキストにまとめることでPEの利用率を上げる方法、(2)効率良くパイプライン化を行うモジュロスケジューリング法、(3)動作周波数を制約する長い遅延のパスを減らすようにコンテキストをスケジューリングする手法の3つである。これらを合わせて用いることで、JPEGデコーダの場合、必要なハードウェアコンテキスト数を半分にし、PEの利用率を2.5倍に、性能を3.6倍にすることができた。第6章では、コンパイラの後半の段階である配置配線に着目し、配線後にその混雑度を高位合成にフィードバックする手法を提案した。配線の混雑を考慮して合成し直すことで、最大遅延を21%削減することができた。しかし、この方法は一度配線してその結果を用いて高位合成をし直すことから実行時間が長くなってしまふ。そこで、実際には配線は行わず、混雑度を見積もるだけで同様の効果を実現する手法を提案した。この方法により遅延削減効果を損なわず、コンパイルの実行時間を1/3にすることができた。</p> <p>第7章には結論と今後の課題をまとめている。</p> <p>以上、本論文は、動的再構成プロセッサ向けコンパイラの様々な最適化手法を提案し、実際の製品で利用可能な技術に育てている点で、その貢献は工学上少なくない。よって、本論文の著者は博士(工学)の学位を受ける資格があるものと認める。</p>			