

Thesis Abstract

Registration Number	“KOU” NO.3948	Name	Akagic, Amila
Thesis Title Adaptable Architectures for Acceleration of Protocol Processing using FPGAs			
<p>The emergence of multi-Gigabit Ethernet and ever-increasing volume of network traffic on the Internet has begun outpacing server capacity to manage incoming data. In recent years, the network traffic exhibits constant increase, due to the confluence of many market trends. Today, data centers are considering employment of new technologies, such as 40- and 100-Gb Ethernet, however their adoption rate is still rather small. The major concern is that the potential for such high bandwidths would not be exploited, due to the communication overhead that consumes high levels of processor's processing power. One major source of processing overhead is the TCP/IP stack. This problem has been addressed in various methods. One method is to dedicate one or more cores for TCP/IP processing exclusively. However, with the new paradigm shift to multicore processors, it is hard to guarantee the high throughput for inherently sequential processes, such as cyclic redundancy checks. Other methods include protocol processing offloading onto a specialized hardware and using special large packets known as jumbo frames. This has been specially beneficial in storage applications that transfer large blocks of data.</p> <p>The future networks also seem to take a new direction toward so called programmable networks, which will allow greater agility, programmability and flexibility. In this thesis, we take another step in this direction by utilizing programmable hardware to achieve the same goals. At first, we target one of the challenging aspects of iSCSI processing, which is processing of digests or Cyclic Redundancy Checks (CRC). CRCs are often characterized as computationally intensive, and thus often substituted with less efficient error detection schemes. We propose a non-adaptable and fully-adaptable CRC accelerators based on a table-based algorithm, which has been rarely used in hardware implementations. The non-adaptable CRC accelerator is suitable for acceleration of a specific application, and has no ability to adapt to a new standard or an application. The fully-adaptable CRC accelerator has ability to process arbitrary number of input data and generates CRC for any known CRC standard during run-time. We modify table generation algorithm in order to decrease its space complexity.</p> <p>We also address the problem of efficiently implementing IP-based iSCSI Offload Engine which operates on the top of the TCP/IP protocol stack. Based on the analysis of iSCSI traffic, CPU utilization and throughput of software-based Open-iSCSI, we propose a new architecture which offloads data transfer and related non-data functions to an FPGA based adapter. The resulting architecture relieves the host CPU from computational burden imposed by software implementations. The iSCSI Offload Engine allows very low utilization on the host CPU of approximately 3%. Our work is a step toward the goal of using hardware accelerators to enable higher levels of agility, programmability and flexibility in future networks.</p>			

論文審査の要旨

報告番号	甲 第 3948 号	氏 名	Akagic, Amila
論文審査担当者：	主査	慶應義塾大学教授	工学博士 天野英晴
	副査	慶應義塾大学教授	工学博士 笹瀬巖
		慶應義塾大学教授	工学博士 山中直明
		慶應義塾大学教授	博士（工学） 寺岡文男
<p>学士(工学)、修士(工学)、Akagic, Amila 君の学位請求論文は「Adaptable Architectures for Acceleration of Protocol Processing using FPGAs (プロトコル処理のための FPGA を用いた適応型アクセラレータ) と題し、六章から成る。</p> <p>100Gb Ethernet の登場により、ネットワークの物理的な転送速度はますます高速になっている。しかし一方で、ネットワークの持つ高い性能が有効に利用されていない場合が多い。これは、TCP/IP スタックにおけるプロトコル処理のオーバーヘッドが一つの原因となっており、アクセラレータとしてハードウェアを用いる方法が使われているが、開発コストが大きく、機能が固定されて新しい規格に対応できない問題がある。そこで、本論文では、最近発展が著しい FPGA(Field Programmable Gate Array)を利用し、性能が高く柔軟性にも優れたアクセラレータを設計、実装することを目的としている。</p> <p>まず第一章で、背景と論文の目的を述べ、続く第二章では本論文で高速化する対象とするプロトコル処理として、ボトルネックになることが多い CRC(Cyclic Redundancy Check)と iSCSI(Internet Small Computer System Interface)イニシエータについて紹介している。第三章では FPGA を導入し、これを用いて高速性と柔軟性を共に実現するリコンフィギャラブルシステムの先行研究を紹介している。</p> <p>第四章以降が本論文の主題である。まず FPGA 内のテーブルを用いて CRC の高速化を行う方法を提案し、様々なコード長とスライス長に対して固定型の方式を実装し、従来方式の 2 倍以上の性能向上を実現した。次に、対応する規格のコード長とスライス長に合わせてテーブルを自動的に生成する適応型 CRC を提案した。この手法は、様々な規格に対応できる柔軟性を持つ上、テーブルを自動的に生成することにより、固定式と同等以上の性能を実現した。リソース使用量は従来方式よりはやや多いが、現在一般的に用いられる Xilinx 社の FPGA、Virtex-6 LX150 の 1.2%~14%で実装可能である。第五章は、この手法を拡張して iSCSI イニシエータに適用している。iSCSI イニシエータは、一般的にストレージに用いられるが、CRC を内部に持ち、複雑なプロトコル処理を行うため CPU の負担が大きい。本論文で提案するアクセラレータは、処理の大半を占める送信モジュール、受信モジュール、制御モジュールを FPGA 内に実装し、先行研究の性能の約 7 倍を達成している。このアクセラレータを用いることで、CPU の利用率を 3%まで落とすことができる。しかも、モジュール構造に優れ、内部の CRC を含めて高い柔軟性を実現している。これらの設計は全て実際の FPGA 上に実装されて、動作が確認されている。第六章に結論と今後の課題を述べている。</p> <p>以上、本論文は、FPGA を用い、従来方法と比べてはるかに高い性能で柔軟性の高いプロトコル処理を行うアクセラレータを設計し、実際のチップ上でその性能を実証した点で工学上寄与するところが大きい。</p> <p>よって、本論文の著者は博士(工学)の学位を受ける資格があるものと認める。</p>			