

# Thesis Abstract

Registration Number	“KOU” No.4053	Name	Zhang, Hao
Thesis Title			
A Study on Power Saving and Latency Reduction Methods for Wireless 3D Network on Chips			
<p>By the development of semiconductor technology, we can combine various IP cores such as processors, caches, and I/O modules on a chip. To connect a large number of cores, Network-on-Chip (NoC) that introduces a packet switched network has been widely studied. NoCs have been utilized in cost-effective embedded devices. Such applications often demand very tight design constraints in terms of cost and performance; thus the silicon budget available for their on-chip network should be modest.</p> <p>Due to the increasing design cost of custom System-on-Chips (SoCs) in recent process technologies, System-in-Packages (SiPs) or 3D ICs that can select and stack necessary known-good-dies in response to given application requirements have become one of hopeful design choices. The three-dimensional Network-on-Chip (3D NoC) also becomes an emerging research topic. The 3D NoC architecture has been extensively studied in terms of its network topology, router architecture, and routing strategy.</p> <p>We pay more attention to inductive coupling among variety 3D interconnection technology, because we believe it provides the flexibility to build the target 3D ICs by adding, removing, and swapping chips in a package after the chips have been fabricated, like building blocks.</p> <p>However, two issues emerge: considerable huge power consumption and routing scheme for topology-agnostic characteristic. Only a few inductors can be embedded on the chip, because the total power consumption will be unacceptable. This issue effects the scale of wireless 3D NoC. For the routing scheme, the previous works never involve this issue for inductive coupling based wireless 3D NoC. The above problems must be solved, otherwise the inductive coupling based wireless 3D NoC will not be competitive.</p> <p>For the above aim, this thesis explores an effective low power technology for ring and irregular based networks, respectively. The vertical links can be dynamically shut down according to the run-time vertical link utilization. Two suitable routing schemes for topology-agnostic wireless 3D NoC are also proposed that enable the chip could be replaced or removed after fabrication. The first one collects topology information at the chip boot stage. The topology will be considered as irregular topology. The Up*/Down* routing is used for transferring packets; Then second one identifies mesh topology from the whole network which is considered as irregular topology by the first routing scheme, automatically. It uses dimension ordered routing in the extracted mesh structure as far as possible. Other parts of the network is treated as an irregular network and Up*/Down* routing is applied. These above technologies can enhance the competence of inductive coupling based wireless 3D NoC.</p> <p>Finally, we summarize our proposed methods, utilizing the on/off vertical link technique for saving power and employing improved Up*/Down* routing and mixed routing as routing scheme. Based on the above, we discuss how the current work could be explored further in order to develop power efficient wireless 3D NoC.</p>			

## 論文審査の要旨

報告番号	甲 第 4053 号	氏 名	Zhang, Hao
論文審査担当者：	主査	慶應義塾大学教授	工学博士 天野英晴
	副査	慶應義塾大学教授	工学博士 山中直明
		慶應義塾大学教授	博士(工学) 黒田忠広
		慶應義塾大学専任講師	博士(工学) 松谷宏紀
<p>学士(工学)、修士(工学)、Zang, Hao (張 浩) 君の学位請求論文は「A Study on Power Saving and Latency Reduction Methods for Wireless 3D Network on Chips (ワイヤレス3Dネットワークオンチップのための省電力、低遅延転送手法の研究)」と題し、七章から成る。</p> <p>誘導結合を用いたワイヤレス三次元 NoC(Network-on-Chip)は、様々な種類のチップを柔軟に接続する手法として近年注目されている。しかし、この手法は、チップ間接続リンクの消費電力が、TSV(Through Silicon Via)など他の三次元接続手法に比べて大きくなり易い点が問題となっていた。本論文では、ランタイムにリンクの ON/OFF を制御する手法の導入と、ルーティング手法の改良により、三次元 NoC の電力効率を改善を試みる。</p> <p>まず第一章で、背景と論文の目的を述べ、続く第二章では NoC と従来の消費電力削減手法をサーベイする。第三章では、ワイヤレス三次元 NoC を紹介し、消費電力の増大が問題である点を指摘している。</p> <p>第四章以降が本論文の主題である。まずチップ間接続リンクのドライバとレシーバをランタイムに ON/OFF する手法を提案し、部分的に OFF する方法、全てのリンクを OFF する方法およびその組み合わせをリング状の NoC に適用し、アプリケーション動作時に約 25%の消費電力を削減した。リング状のネットワークは、単純だが性能が低く、接続可能なチップ数も限定される。そこで第五章では、任意の形状の NoC に対するリンクの ON/OFF 手法を提案している。任意形状のネットワークは、通常リングネットワークに比べてリンク数が多いため、積極的に使っていないリンクを OFF し、迂回経路によりウェイクアップする手法を用いている。この結果、アプリケーション実行時にわずか 1.4%の性能低下で約 50%の消費電力の削減に成功している。</p> <p>次に第六章では、任意形状の三次元 NoC 上で、パケット転送の経路決定手法 (ルーチング) を工夫することにより、転送性能と消費電力を削減する方法を提案している。複数チップを接続する場合、全体の NoC は接続されるチップによって任意の形状になり得るが、実際には多くのチップはメッシュなどの規則的な接続方法を使っている。そこで、チップが接続された後に、メッシュ構造を抽出して、その部分にのみ規則性を生かしたルーチングを適用する手法を提案した。この提案手法により、全体を任意形状と考えた場合に対して約 12%の性能向上、約 13%の消費電力の削減を実現した。第七章には結論と今後の課題をまとめている。</p> <p>以上、本論文は、ランタイムにリンクを ON/OFF する手法とルーチングを改良する手法により、ワイヤレス三次元 NoC の電力効率の改善を達成した点で、その貢献は工学上少なくない。よって、本論文の著者は博士(工学)の学位を受ける資格があるものと認める。</p>			